



Dkt. 2271/64016

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

2624  
#3

Application of : Shinichi YAMAURA et al.

Serial No. : 09/761,122

Group Art Unit:

Date Filed : January 16, 2001

Examiner:

For : PARALLEL PROCESSOR AND IMAGE PROCESSING APPARATUS

1185 Avenue of the Americas  
New York, N.Y. 10036

Assistant Commissioner for Patents  
Washington, D.C. 20231

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Applicants hereby transmits certified copies of the following priority applications:

<u>Application No.</u>	<u>Filed in Japan</u>
2000-009879	January 19, 2000
2000-020130	January 28, 2000

RECEIVED

MAR 21 2001

Technology Center 2600

and hereby claims priority under 35 U.S.C. 119.

Respectfully submitted,

RICHARD F. JAWORSKI  
Registration No. 33,515  
Attorney for Applicant  
Cooper & Dunham LLP  
Tel.: (212) 278-0400

I hereby certify that this paper is being deposited this date with the U.S. Postal Service as first class mail addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231

Richard F. Jaworski  
Reg. No. 33,515

Date

Feb. 26, 2001



2271/64016  
S/n 09/761,122

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: January 19, 2000

Application Number: Japanese Patent Application  
No. 2000-009879

Applicant(s): RICOH COMPANY, LTD.

RECEIVED

MAR 21 2001

Technology Center 2800

January 5, 2001

Commissioner,  
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2000-3109026



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 1月19日

出 願 番 号  
Application Number:

特願2000-009879

出 願 人  
Applicant(s):

株式会社リコー

RECEIVED

MAR 21 2001

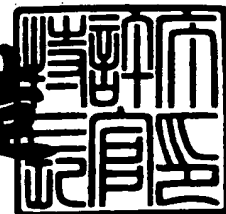
Technology Center 2600

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】	特許願	
【整理番号】	9902559	
【提出日】	平成12年 1月19日	
【あて先】	特許庁長官殿	
【国際特許分類】	G06F 15/80	
	G06F 15/16 390	
【発明の名称】	S I M D型プロセッサ	
【請求項の数】	11	
【発明者】		
【住所又は居所】	東京都大田区中馬込 1 丁目 3 番 6 号	株式会社リコー
	内	
【氏名】	片山 貴雄	
【発明者】		
【住所又は居所】	東京都大田区中馬込 1 丁目 3 番 6 号	株式会社リコー
	内	
【氏名】	山浦 慎一	
【発明者】		
【住所又は居所】	東京都大田区中馬込 1 丁目 3 番 6 号	株式会社リコー
	内	
【氏名】	原 和彦	
【発明者】		
【住所又は居所】	東京都大田区中馬込 1 丁目 3 番 6 号	株式会社リコー
	内	
【氏名】	岩永 和彦	
【発明者】		
【住所又は居所】	東京都大田区中馬込 1 丁目 3 番 6 号	株式会社リコー
	内	
【氏名】	高藤 浩資	

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代表者】 桜井 正光

【代理人】

【識別番号】 100085213

【弁理士】

【氏名又は名称】 鳥居 洋

【手数料の表示】

【予納台帳番号】 007320

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808857

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 SIMD型プロセッサ

【特許請求の範囲】

【請求項1】 プログラムを解読しプロセッサ全体を制御するグローバルプロセッサと、複数のデータを処理するために、レジスタファイルと演算アレイから構成されるプロセッサエレメントを複数備えたプロセッサエレメントブロックと、を有するSIMD型プロセッサにおいて、前記グローバルプロセッサは、プロセッサエレメントに対して制御信号を出力し、この制御信号によりプロセッサエレメントに対応するプロセッサエレメント番号を全プロセッサエレメントの演算アレイの入力値に設定することを特徴とするSIMD型プロセッサ。

【請求項2】 グローバルプロセッサの汎用レジスタからのデータを任意のプロセッサエレメントに転送することを特徴とする請求項1に記載のSIMD型プロセッサ。

【請求項3】 前記データ転送は、オペランドの即値指定によって特定のプロセッサエレメントから特定のプロセッサエレメントまでの範囲を指定することにより行われることを特徴とする請求項2に記載のSIMD型プロセッサ。

【請求項4】 データ転送は、オペランドの即値指定によって、2進数で表わされたプロセッサエレメント番号にマッチするプロセッサエレメントを指定するビット位置指定と、そのビット位置指定の任意ビットをマスクするビットマスクによるプロセッサエレメント指定により行われることを特徴とする請求項2に記載のSIMD型プロセッサ。

【請求項5】 前記データ転送は、グローバルプロセッサの汎用レジスタを使用し、ポインタ指定により行われることを特徴とする請求項2に記載のSIMD型プロセッサ。

【請求項6】 前記ポインタ指定で、指定後の汎用レジスタにおけるデータのインクリメントを行うこと特徴とする請求項5に記載のSIMD型プロセッサ。

【請求項7】 前記プロセッサエレメントには条件実行を制御するためにデータの状態によって実行又は非実行を制御する複数のフラグビットを持ち、複数

のフラグビットの特定のビットにAND/ORの論理演算を行うことを特徴とする請求項1に記載のSIMD型プロセッサ。

【請求項8】 前記フラグビット指定は、オペランドの即値指定によって特定のプロセッサエレメントから特定のプロセッサエレメントまでの範囲を指定することにより行われることを特徴とする請求項7に記載のSIMD型プロセッサ。

【請求項9】 前記フラグビット指定は、オペランドの即値指定によって、2進数で表わされたプロセッサエレメント番号にマッチするプロセッサエレメントを指定するビット位置指定と、そのビット位置指定の任意ビットをマスクするビットマスクによるプロセッサエレメント指定により行われることを特徴とする請求項7に記載のSIMD型プロセッサ。

【請求項10】 前記フラグビット指定は、グローバルプロセッサの汎用レジスタを使用し、ポインタ指定により行われることを特徴とする請求項7に記載のSIMD型プロセッサ。

【請求項11】 前記ポインタ指定で、指定後の汎用レジスタにおけるデータのインクリメントを行うこと特徴とする請求項10に記載のSIMD型プロセッサ。

#### 【発明の詳細な説明】

##### 【0001】

##### 【産業上の利用分野】

この発明は同一の命令で複数データに対して同じ処理を行うSIMD (Single Instruction-stream Multiple Data-stream) 方式のプロセッサに関し、特に、画像データの高速処理に適したSIMD型プロセッサに関する。

##### 【0002】

##### 【従来の技術】

近年、デジタル複写機やファクシミリ装置等における画像処理では、画素数の増加、画像処理の多様化などにより画質の向上が図られている。この画質の向上に伴い、処理すべき画素データ数の増加やデータの処理方法が複雑化している。

こういった画像処理のデータ処理は複数のデータに対して同じ処理をすることが多いため、1命令で1つのデータを処理するSISD (Single Instruction-stream Single Data-stream) 方式のプロセッサより、1命令で複数のデータを処理する、SIMD (Single Instruction-stream Multiple Data-stream) 方式のプロセッサが用いられていることが多い。

【0003】

SIMD型プロセッサは、複数のデータを処理するために算術論理演算器とレジスタファイルを備えたプロセッサエレメント (PE) と呼ばれるブロックを持ち、複数のデータを一度に処理するためにプロセッサエレメントを複数個備えている。また、SIMD型プロセッサにはプログラムによってプロセッサ全体を制御するために、プログラム読取部、制御部、算術論理演算器、レジスタ、メモリをもったグローバルプロセッサと呼ばれるブロックを1つ備える。

【0004】

グローバルプロセッサからプロセッサエレメントにデータの転送を行うときには、プロセッサエレメントにシフトレジスタを設け、すべてのプロセッサエレメントのシフトレジスタをチェーン構造に接続し、プロセッサエレメントの片端をグローバルプロセッサに接続し、シフトレジスタをシフトしていくことでデータを転送したり、或いは、グローバルプロセッサからすべてのプロセッサエレメントにバスを設け、直接データを転送するようにしている。

【0005】

プロセッサエレメントをシフトする場合は、全プロセッサエレメント分のシフトを行う必要がある。また、直接データを書き換える場合は、全プロセッサエレメントを書き換えるか、特定の1つのプロセッサエレメントを制御部から選択信号によって選択し、書き換えることになる。1つのプロセッサエレメントの書き換えなら1命令サイクルですむが、複数プロセッサエレメントなどでは複数命令サイクルが必要となる。

【0006】

【発明が解決しようとする課題】



プロセッサエレメントの演算は通常実行条件フラグによって演算の有無を決定する。実行条件フラグはプロセッサエレメントの演算アレイで行われる演算の結果によりセット／リセットしたり、また、グローバルプロセッサの制御部からの制御信号により直接セット／リセットする。

#### 【0007】

従来のSIMD型プロセッサでは演算の結果によって書き換えるか、全プロセッサエレメントの条件フラグにデータを転送することでセット／リセットしたりしていた。しかし、プロセッサエレメントの演算が特定部分であった場合、例えばある範囲内のプロセッサエレメントを演算対象としたり、 $n$ 個 ( $n=1, 2, 3, \dots$ ) おきのプロセッサエレメントを演算対象としたりする場合、実行条件フラグの設定を対象とするプロセッサエレメントに設定するのは困難であった。このため意図的に対象と非対象のプロセッサエレメントで異なるデータを設定し演算させることで条件フラグを立てたり、対象とするプロセッサエレメントの条件フラグに1つずつ設定したりした。

#### 【0008】

また、画素データ数の増加やデータ処理方法の複雑化に伴い、同時に処理すべきデータ数も増加し、プロセッサエレメントの数の増加となっている。プロセッサエレメントを増加させた場合、論理検証、IC試験などで使用するテストパターンの量も増加する。1つのプロセッサエレメントに対して行うテストを全プロセッサエレメントに対して行うためには、プロセッサエレメント数のテストパターンが必要となるか、全プロセッサエレメントに対してテスト用の回路を設けたり、テスト結果を出力するポートを設ける必要がある。

#### 【0009】

この発明は、上記した従来の難点に鑑みなされたものにして、有効な命令と命令を実現する手段を設けることで、このような画像データ処理に伴う命令の命令実行サイクルを減らすことを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

この発明は、プログラムを解読しプロセッサ全体を制御するグローバルプロセ

ッサと、複数データを処理するための複数のプロセッサエレメントを備えたプロセッサエレメントブロックと、を有するSIMD型プロセッサにおいて、前記グローバルプロセッサは、プロセッサエレメント番号を全プロセッサエレメントに設定する命令を設け、命令実行によってプロセッサエレメントに対して制御信号を出力し、制御信号によりプロセッサエレメントに対応するプロセッサエレメント番号を演算アレイの入力データとして用いる手段を設ける。

## 【 0 0 1 1 】

上記した構成によれば、グローバルプロセッサからの制御信号によってプロセッサエレメント（PE）番号をプロセッサエレメントのAレジスタに入力できる。各プロセッサエレメントに格納されたPE番号は、プロセッサエレメントのテストをするときに用いることができる。例えば、PEシフトをテストする場合など有効になる。

## 【 0 0 1 2 】

上記の構成において、グローバルプロセッサの汎用レジスタから、汎用レジスタのビットサイズを持ったバスを1組設け、全プロセッサエレメントの演算アレイ内のレジスタに接続し、データを転送する手段を設ける。

## 【 0 0 1 3 】

上記した構成によれば、例えば、グローバルプロセッサのG0レジスタからバスでプロセッサエレメントのAレジスタに接続し、任意のプロセッサエレメントのAレジスタにG0の値を転送することができる。

## 【 0 0 1 4 】

さらに、前記データ転送手段は、前記プロセッサエレメント番号入力手段からのプロセッサエレメント番号と即値による範囲指定の上限値、下限値との比較を行うコンパレータを設け、特定のプロセッサエレメントのみ制御を行う。

## 【 0 0 1 5 】

従来であればある範囲だけのデータ転送はその範囲内の実行条件フラグを一つずつセットし、実行条件フラグによって転送の有無を決定していたため、転送数だけのサイクルを必要としたが、上記した構成によれば、ある範囲だけのプロセッサエレメントを指定できるMGAA命令を使用することで、1サイクルでの処

理が可能である。

【 0 0 1 6 】

また、前記データ転送手段は、前記プロセッサエレメント番号入力手段からのプロセッサエレメント番号と、即値のビットパターンによる範囲指定を行うビット位置指定と、即値のビットパターンによるマスキングを行うビットマスク指定によってプロセッサエレメントを選択する、パターンマッチングブロックを設け、特定のプロセッサエレメントにのみ制御を行う。

【 0 0 1 7 】

上記した構成によれば、1つおき、3つおき等のN個おきのプロセッサエレメントの指定を行いデータを転送することができる。

【 0 0 1 8 】

また、前記データ転送手段は、グローバルプロセッサ内の汎用レジスタからの値を、前記コンパレータもしくはパターンマッチングブロックに転送する経路を設け、ポインタ指定により行う。

【 0 0 1 9 】

上記した構成により、グローバルプロセッサ命令での演算の結果を繰り張るプロセッサ内の汎用レジスタに格納し、ダイナミックな指定が可能となる。

【 0 0 2 0 】

前記ポインタ指定で、指定後の汎用レジスタにおけるデータのインクリメントを行うこと特徴とする。

【 0 0 2 1 】

上記した構成によれば、演算後に1加算し次の演算範囲の縮小が可能となる。

【 0 0 2 2 】

また、前記プロセッサエレメントには、演算の結果をレジスタに格納するか否かを制御し、演算の結果もしくはグローバルプロセッサからのからの制御信号によりセット／リセット可能な複数のフラグビットを持ち、セット／リセット前のフラグビットの状態と、新しくセット／リセットする値との論理演算を行う。AND/OR論理演算器を設け、演算後の値をフラグビットにセット／リセットを行うことを特徴とする。

## 【 0 0 2 3 】

前記フラグビット指定は、オペランドの即値指定によって特定のプロセッサエレメントから特定のプロセッサエレメントまでの範囲を指定することにより行われることを特徴とする。

## 【 0 0 2 4 】

また、前記フラグビット指定は、オペランドの即値指定によって、2進数で表わされたプロセッサエレメント番号にマッチするプロセッサエレメントを指定するビット位置指定と、そのビット位置指定の任意ビットをマスクするビットマスクによるプロセッサエレメント指定により行われることを特徴とする。

## 【 0 0 2 5 】

前記フラグビット指定は、グローバルプロセッサの汎用レジスタを使用し、ポインタ指定により行われることを特徴とする。

## 【 0 0 2 6 】

上記した構成によれば、複数のまたがった不規則なエリアの指定を行うとき有効となる。

## 【 0 0 2 7 】

## 【発明の実施の形態】

以下、この発明の実施の形態につき図面を参照して説明する。図1は、この発明の実施の形態にかかるSIMD型プロセッサの構成を示すブロック図である。

## 【 0 0 2 8 】

まず、この発明にかかるSIMD型プロセッサの全体構成について、図1に従い説明する。この発明のSIMD型プロセッサ1は、図1に示すように、グローバルプロセッサ(GP)2、本実施形態では256組の後述するプロセッサエレメント(PE)3aを備えたプロセッサエレメントブロック3、インタフェース4から構成される。インタフェース4はグローバルプロセッサ2の命令に基づき、例えば外部のイメージスキャナなどから演算対象となるデータをプロセッサ内部の入出力用のレジスタファイル31に与えるとともに、演算処理されたデータをレジスタファイル31から外部のプリンタなどへ転送するものである。

## 【 0 0 2 9 】

プロセッサエレメントブロック 3 は、S I M D 型プロセッサの外部に設けられたスキャナなどの入力装置から画像データを入力したり、外部のプリンタなどの出力装置に画像データを出力したり、グローバルプロセッサ 2 から演算アレイ 3 6 を経由してデータの入出力を行うレジスタファイル 3 1 と、レジスタファイル 3 1 からのデータやグローバルプロセッサ 2 からのデータを演算処理する演算アレイ 3 6 をそなえる。S I M D 方式では、複数のデータを同時に処理するため、プロセッサエレメントブロック 3 は、複数のプロセッサエレメント 3 a … で構成される。

#### 【 0 0 3 0 】

グローバルプロセッサ 2 は、プロセッサエレメントブロック 3、インタフェース 4 を制御する。このグローバルプロセッサ 2 は、各種制御信号を送る S I S D 方式のプロセッサで構成されている。

#### 【 0 0 3 1 】

グローバルプロセッサ 2 の構成は図 2 に示すように、命令を解読し、各種制御信号を発生するシーケンスユニット（以下、S C U という）2 2 と、グローバルプロセッサ命令により算術論理演算を行う算術論理演算器（以下、A L U という。）2 3、このプロセッサのプログラム格納用のプログラム R A M 2 1 と演算データ格納用のデータ R A M 2 4、図には明記していないが、割り込み制御回路、外部 I / O 制御回路、G P 演算制御回路とを、備える。

#### 【 0 0 3 2 】

さらに、グローバルプロセッサ 2 は、プログラムのアドレスを保持するプログラムカウンタ（P C）、演算処理のデータ格納のための汎用レジスタである G 0 ～G 3 レジスタ、レジスタ退避、復帰時に退避先データ R A M のアドレスを保持しているスタックポインタ（S P）、サブルーチンコール時にコール元のアドレスを保持するリンクレジスタ（L S）、同じく I R Q 時と N M I 時の分岐元アドレスを保持する L I、L N レジスタ、プロセッサの状態を保持しているプロセッサステータスレジスタ（P）が内蔵されている。

#### 【 0 0 3 3 】

前述した S C U 2 2 には、図示はしていないが、G P 命令を解読し、主にグロ

ーバルプロセッサ2内の各ブロックに制御信号を発生するGPインストラクションデコーダ（以下、GDCという）と、プロセッサエレメント（PE）命令を解読し、主にプロセッサエレメントブロック3内の各ブロックに制御信号を発生するPEインストラクションデコーダ（以下、PDCという）を、備える。すなわち、このプロセッサには、主にグローバルプロセッサ2内での演算処理を受け持つGP命令と、プロセッサエレメントブロック3内もしくはプロセッサエレメント3a…間での演算処理を受け持つPE命令に分類される。

【0034】

また、前述したプロセッサエレメントブロック3の演算アレイ36は、マルチプレクサ32、シフト拡張回路33、算術論理演算器34（以下、「ALU34」という）、及びAレジスタ35a、Fレジスタ35bを備える。

【0035】

前述したグローバルプロセッサ2のSCU22は、インタフェース4に対してデータ転送のための動作設定用データ及びコマンド等を送る。インタフェース4は、シーケンスユニット22の動作設定用データ及びコマンドに基づき、プロセッサエレメント3aのアドレス指定のためのアドレス制御信号、プロセッサエレメント3aを構成するレジスタ31bにデータのリード/ライトを指示するためのリード/ライト制御信号、クロック信号を与えるためのクロック制御信号を生成する。

【0036】

ここで、リード/ライト制御信号のうちライト制御信号とは、演算処理されるデータをデータバスより取得して、プロセッサエレメント3aのレジスタファイル31に保持させるための信号をいう。一方、リード/ライト制御信号のうちリード制御信号とは、プロセッサエレメント3aのレジスタファイル31が保持している演算処理されたデータを、データバスへ与えるようレジスタに指示するための信号をいう。

【0037】

次に、この実施形態におけるプロセッサエレメントブロック3につき、図3を参照してさらに説明する。

## 【 0 0 3 8 】

この実施の形態におけるプロセッサエレメントブロック 3 は、隣り合う 2 つのプロセッサエレメント 3 a に偶数番号、奇数番号を割り付けて 1 組とすると共に、この 1 組のプロセッサエレメント 3 a には同一のアドレスを割り付けている。

## 【 0 0 3 9 】

上記したメモリコントローラ 5 は、グローバルプロセッサ 2 からのコマンドを受けて、プロセッサエレメントブロック 3 を構成するプロセッサエレメント 3 a のアドレスを指定する信号（以下、「アドレス指定信号」という。）を作成し、インタフェース 4 からアドレスバス 4 1 a を介してプロセッサエレメント 3 a のレジスタコントローラ 3 1 a へ送る。また、インタフェース 4 は、プロセッサエレメント 3 a を構成するレジスタ 3 1 b に対して、データのリード／ライトを指示するための信号（以下、「リード／ライト指示信号」という。）を、リード／ライト信号線 4 5 a （4 5 b）を介してプロセッサエレメント 3 a のレジスタコントローラ 3 1 a へリード／ライト信号を与える。偶数用リード／ライト信号線 4 5 a は、偶数のプロセッサエレメント 3 a にリード／ライト信号を与え、奇数用リード／ライト信号線 4 5 b は、奇数のプロセッサエレメント 3 a にリード／ライト信号を与える。

## 【 0 0 4 0 】

また、インタフェース 4 は、クロック信号線 4 1 c を介してプロセッサエレメント 3 a のレジスタコントローラ 3 1 a へクロック信号を与える。

## 【 0 0 4 1 】

さらに、上述したように、SIMD 型プロセッサ 1 の外部に設けられたイメージスキャナ等で読み取られた画像データは一端図示しないバッファメモリに格納され、インタフェース 4 は、バッファメモリからデータを、本実施形態では 1 6 ビットの平行データとして取り込む。この 1 6 ビットのデータは、偶数番号が割り付けられたプロセッサエレメント 3 a に与えられる 8 ビットと、奇数番号が割り付けられたプロセッサエレメント 3 a に与えられる 8 ビットとから構成されている。それぞれ 8 ビットデータは偶数用データバス 4 6 a 及び奇数用データバス 4 6 b に与えられる。この 8 ビットの平行データについては、データに

応じて適宜変更しても問題ない。このデータバス 4 6 a, 4 6 b は、レジスタ 3 1 b に保持されている演算処理されたデータが、S I M D 型プロセッサ 1 の外部に設けられたプリンタなどへバッファメモリを介して送られる時にも使用される。

#### 【 0 0 4 2 】

また、グローバルプロセッサ 2 の内蔵するレジスタは、プロセッサエレメントブロック 3 の A レジスタ 3 5 a、F レジスタ 3 5 b に接続されており、このレジスタ 3 5 a、3 5 b との間でシーケンスユニット 2 2 の制御によりデータの交換が行われる。

#### 【 0 0 4 3 】

プロセッサエレメントブロック 3 は、図 2 及び図 3 に示すように、レジスタファイル 3 1、マルチプレクサ 3 2、シフト・拡張回路 3 3、A L U 3 4、レジスタ 3 5 a、3 5 b、3 5 c、を一単位とする複数のプロセッサエレメント 3 a を備える。レジスタファイル 3 1 には、1 つのプロセッサエレメント 3 a 単位に 8 ビットのレジスタが 3 2 本内蔵されており、本実施形態では 2 5 6 個のプロセッサエレメント分の組がアレイ構成になっている。

#### 【 0 0 4 4 】

レジスタの外部からのアクセスは 1 つの外部ポートで各プロセッサエレメント 3 a の 1 つのレジスタがアクセス可能であり、外部から入力されたアドレスでプロセッサエレメントの番号 ( 0 ~ 2 5 5 ) を指定する。したがって、レジスタアクセスの外部ポートは全部で 2 4 組搭載されている。また、外部からアクセスされるデータは上述したように、偶数のプロセッサエレメント 3 a と奇数のプロセッサエレメント 3 a の 1 組で 1 6 ビットデータとなっており、1 回のアクセスで 2 つのレジスタを同時にアクセスしている。

#### 【 0 0 4 5 】

本実施形態では、プロセッサエレメント 3 a の数を 2 5 6 個として説明するが、これに限定されるものでなく適宜変更して使用してもよい。このプロセッサエレメント 3 a には、グローバルプロセッサ 2 のシーケンスユニット 2 2 により、インタフェース 4 に近い順に 0 から 2 5 5 までのアドレスが割り付けられる。



## 【 0 0 4 6 】

プロセッサエレメント 3 a のレジスタファイル 3 1 は、レジスタコントローラ 3 1 a、2 種類のレジスタ 3 1 b、3 1 c を備える。本実施形態では、図 3 に示すように、一単位のプロセッサエレメント 3 a 毎に、レジスタコントローラ 3 1 a とレジスタ 3 1 b とを 2 4 組備え、さらにレジスタ 3 1 c を 8 個備えている。

## 【 0 0 4 7 】

本実施形態では、レジスタ 3 1 b、3 1 c を 8 ビットのものとして扱うが、これに限定されるものでなく適宜変更して使用してもよい。

## 【 0 0 4 8 】

レジスタファイル 3 1 の 2 種類のレジスタ 3 1 b、3 1 c は、内蔵する R 0、R 1、R 2、... R 3 1 と呼ばれているレジスタを上記のように区分したものである。それぞれのレジスタファイル 3 1 は演算アレイ 3 6 に対して 1 つの読み出しポートと 1 つの書き込みポートを備えており、8 ビットのリード／ライト兼用のバスで演算アレイ 3 6 からアクセスされる。3 2 本のレジスタの内、2 4 本はすなわち、レジスタ 3 1 b は、プロセッサ外部からアクセス可能であり、外部からクロックとアドレス、リード／ライト制御を入力することで任意のレジスタを読み書きできる。

## 【 0 0 4 9 】

レジスタコントローラ 3 1 a は、インタフェース 4 と、上述したアドレスバス 4 1 a、偶数用リード／ライト信号線 4 5 a、奇数用リード／ライト信号線 4 5 b、クロック信号線 4 1 c を介して接続されている。

## 【 0 0 5 0 】

インタフェース 4 は、アドレス制御信号を受けると、アドレス指定信号をアドレスバス 4 1 a を介してプロセッサエレメントブロック 3 へ送る。これにより、一組のプロセッサエレメント 3 a、即ち 2 つのプロセッサエレメント 3 a が同時にアドレス指定される。レジスタコントローラ 3 1 a は、送られてきたアドレス指定信号をデコードし、デコードしたアドレスと、自己に割り付けられたアドレスとが一致する場合には、クロック信号 4 1 c を介して送られてきたクロック信号に同期して、リード／ライト信号 4 5 a 或いは 4 5 b を介して送られてきたり

ード／ライト指示信号を得る。具体的には、偶数番号が割り付けられているレジスタコントローラ 3 1 a は、偶数用リード／ライト信号 4 5 a を介してインタフェース 4 から送られてきたリード／ライト指示信号を得る。一方、奇数番号が割り付けられているレジスタコントローラ 3 1 a は、奇数用リード／ライト信号 4 5 b を介してインタフェース 4 から送られてきたリード／ライト指示信号を得る。このとき一組を構成するプロセッサエレメント 3 a のレジスタコントローラ 3 1 a へ送られるリード／ライト指示信号はそれぞれ異なるものであってもよい。即ち、偶数番号が割り付けられているレジスタコントローラ 3 1 a へ送られる指示信号がリード指示であるとき、奇数番号が割り付けられているレジスタコントローラ 3 1 a へ送られる指示信号はライト指示であってもよい。そして、このリード／ライト指示信号はレジスタ 3 1 b に与えられる。

## 【 0 0 5 1 】

レジスタコントローラ 3 1 a から双方のプロセッサエレメント 3 a に対し、ライト指示信号が送られてきた場合には、偶数番号が割り付けられたプロセッサエレメント 3 a のレジスタ 3 1 b は、演算処理されるデータ（8ビット）を偶数用データバス 4 6 a より取得して保持する。また、奇数番号が割り付けられたプロセッサエレメント 3 a のレジスタ 3 1 b は、演算処理されるデータ（8ビット）を奇数用データバス 4 6 b より取得して保持する。一方、レジスタコントローラ 3 1 a から双方のプロセッサエレメント 3 a に対し、リード指示信号が送られてきた場合には、偶数番号が割り付けられたプロセッサエレメント 3 a のレジスタ 3 1 b は、演算処理されたデータ（8ビット）を偶数用データバス 4 6 a へ送る。また、奇数番号が割り付けられたプロセッサエレメント 3 a のレジスタ 3 1 b は、演算処理されたデータ（8ビット）を奇数用データバス 4 6 b へ送る。

## 【 0 0 5 2 】

このように、一度のアドレス指定により、偶数番号が割り付けられたプロセッサエレメント 3 a にデータ転送できるとともに、奇数番号が割り付けられたプロセッサエレメント 3 a にもデータ転送できる。このため、データの転送回数を少なくすることができ、データ転送を高速にできる。

## 【 0 0 5 3 】

レジスタ 3 1 b は、後述する A L U 3 4 でこれから演算される外部から入力されたデータを保持したり、或いは A L U 3 4 で演算処理されたデータを外部へ出力するために保持するものであり、いわゆる入力レジスタとしても、或いは出力レジスタとしても機能する。また、演算処理されるデータ、或いは演算されたデータを一時的に保持するといった、後述するレジスタ 3 1 c としての機能も有する。なお、本実施形態では、レジスタ 3 1 b は 8 ビットのデータを保持できるものとして扱うが、データに応じて適宜変更しても問題ない。上述したレジスタコントローラ 3 1 a からライト指示信号が与えられると、レジスタ 3 1 b は演算処理されるデータをデータバス 4 6 a またはデータバス 4 6 b より取得して保持する。一方、レジスタコントローラ 3 1 a からリード指示信号が送られてくると、レジスタ 3 1 b は保持している演算処理されたデータをデータバス 4 6 a またはデータバス 4 6 b へ与える。このデータはインタフェース 4 から図示しないバッファメモリから外部へ出力される。

#### 【 0 0 5 4 】

また、レジスタ 3 1 b は、本実施形態においては 8 ビットデータをパラレルで転送するデータバス 3 7 を介してマルチプレクサ 3 2 に接続されている。A L U 3 4 で演算処理されるデータ、或いは A L U 3 4 で演算処理されたデータは、このデータバス 3 7 を介して、レジスタ 3 1 b との間で転送される。この転送は、グローバルプロセッサ 2 の S C U 2 2 からの指示によって、グローバルプロセッサ 2 に接続されたリード信号線 2 6 a、ライト信号線 2 6 b を介して行われる。具体的には、グローバルプロセッサ 2 のシーケンスユニット 2 2 から、リード信号線 2 6 a を介してリード指示信号が送られてくると、レジスタ 3 1 b は保持している演算処理されるデータをデータバスへ置く。このデータは A L U 3 4 へ送られ演算処理される。一方、グローバルプロセッサ 2 の S C U 2 2 から、ライト信号線 2 6 b を介してライト指示信号が送られてくると、レジスタ 3 1 b はデータバス 3 7 を介して送られてきた A L U 3 4 で演算処理されたデータを保持する。

#### 【 0 0 5 5 】

レジスタ 3 1 c は、レジスタ 3 1 b より与えられた演算処理されるデータ、或

いは演算されたデータがレジスタ 3 1 b に与えられる前に、そのデータを一時的に保持するものである。このレジスタ 3 1 c は、上述したレジスタ 3 1 b と異なり、インタフェース 4 を介して、外部との間においてデータ転送はしない。

【 0 0 5 6 】

演算アレイ 3 6 は、マルチプレクサ 3 2 シフト／拡張回路 3 3、1 6 ビット A L U 3 4 及び 1 6 ビットの A レジスタ 3 5 a、F レジスタ 3 5 b を備えている。

【 0 0 5 7 】

プロセッサエレメント 3 a の命令による演算は、基本的にレジスタファイル 3 1 から読み出されたデータを A L U 3 4 の片側の入力としてもう片側にはレジスタ 3 5 の A レジスタの内容を入力として結果を A レジスタに格納する。したがって、A レジスタ 3 5 a とレジスタファイル 3 1 の R 0 ～ R 3 1 レジスタとの演算が行われることとなる。レジスタファイル 3 1 と演算アレイ 3 6 との接続に（7 t o 1）のマルチプレクサ 3 2 を置いており、プロセッサエレメント方向で左に 1、2、3 つ離れたデータと右に 1、2、3 つ離れたデータ、中央のデータを演算対象として選択している。また、レジスタファイル 3 1 の 8 ビットのデータはシフト／拡張回路 3 3 により任意ビットの左シフトして A L U 3 4 に入力される。さらに、図 2 に示すように、8 ビットの条件レジスタ（T）3 5 c により、プロセッサエレメント 3 a ごとに演算実行の無効／有効の制御をしており、特定のプロセッサエレメント 3 a だけを演算対象として選択できるように構成している。

【 0 0 5 8 】

上記したように、マルチプレクサ 3 2 は、自己のプロセッサエレメント 3 a に備えられた上記データバス 3 7 に接続されるとともに、両隣 3 つのプロセッサエレメント 3 a に備えられたデータバス 3 7 にも接続されている。このマルチプレクサ 3 2 は 7 つのプロセッサエレメント 3 a から 1 つを選択し、その選択したプロセッサエレメント 3 a におけるレジスタ 3 1 b、3 1 c で保持されているデータを A L U 3 4 へ送る。或いは A L U 3 4 で演算処理されたデータを、選択したプロセッサエレメント 3 a におけるレジスタ 3 1 b、3 1 c へ送る。これによって、隣のプロセッサエレメント 3 a におけるレジスタ 3 1 b、3 1 c で保持され

ているデータを利用した演算処理が可能になり、S I M D型プロセッサ1の演算処理能力を高めることができる。

【0059】

シフト／拡張回路33は、マルチプレクサ32から送られてきたデータを所定ビットシフトしてA L U 3 4へ送る。或いはA L U 3 4から送られてきた演算処理されたデータを所定ビットシフトしてマルチプレクサ32へ送る。

【0060】

A L U 3 4は、シフト／拡張回路33から送られてきたデータと、レジスタ35に保持されているデータとに基づき算術論理演算を行う。なお、本実施形態では、A L U 3 4は16ビットのデータに対応できるものとして扱うが、データに応じて適宜変更しても問題ない。演算処理されたデータは、レジスタ35に保持され、シフト／拡張回路33へ転送されたり、或いはグローバルプロセッサ2の汎用レジスタ25へ転送される。

【0061】

グローバルプロセッサ2からインタフェース4へはI／O用のアドレス、データ、コントロール信号がバスを介して与えられる。グローバルプロセッサ2がインタフェース4のいくつかの動作設定レジスタ（図示せず）へ動作方法等のコマンドを設定している。

【0062】

次に、この発明にかかるS I M D型プロセッサ1の構成につき、図2、図4、図5を参照して説明する。上述したように、プロセッサエレメント3aの演算は、実行条件フラグによって演算の有無が決定される。従来、実行条件フラグのセット／リセットは全プロセッサエレメントの条件フラグにデータを転送して行われており、同じ演算処理などを繰り返さなければならない。この発明は、命令の実行サイクルを減らすことが可能なように構成するものである。

【0063】

図2に示すように、この発明では、全プロセッサエレメント3a…に対して、グローバルプロセッサ2からの制御信号に基づいて、プロセッサエレメント（P E）番号（ $i = 0, 1, \dots, n$ ）が転送される。このP E番号を転送するために

、グローバルプロセッサ2は、LDPN (Load PE Number) 命令を出す。PE番号は、各プロセッサエレメント3aに予め設定された番号に基づいて、例えば、8ビットデータをGND、VCCとの組み合わせにより設定し、GNDのトランジスタをLDPN命令に基づく制御信号よりオン／オフすることにより、PE番号が各プロセッサエレメント3aに転送される。

#### 【0064】

上記したLDPN命令は、全プロセッサエレメント3a…に対してPE番号を自プロセッサエレメント3aのAレジスタ35aに設定するものである。PE0のAレジスタ35aには”0”が、PE127のAレジスタ35aには”127”が設定される。このPE番号は2進数で表したデータが与えられるが、前記した例では理解を容易にするために、十進法で表記している。

#### 【0065】

LDPNが実行されると、グローバルプロセッサ2のSCU22から制御信号が全プロセッサエレメント3aに対して出力され、各プロセッサエレメント3a…にはALU34の片側にPE番号を設定し、PE番号はALU34を通してAレジスタ35aに格納される。

#### 【0066】

図2に示すように、グローバルプロセッサ2からの与えられる制御信号、すなわちLDPN命令によってPE番号が各プロセッサエレメント3a…のAレジスタ35aにそれぞれ入力することができる。各プロセッサエレメント3a…に格納されたPE番号は、プロセッサエレメントのテストをするときに用いられる。例えば、PEシフトをテストする場合など有効になる。

#### 【0067】

PEシフトは上記した演算アレイ36にあるマルチプレクサ32を使用し、注目するプロセッサエレメント3aをPEN (n=0、1、2、3...255) とした場合、PENの演算アレイ36に入力するデータをPEN+3、PEN+2、PEN+1、PEN、PEN-1、PEN-2、PEN-3のいずれかの指定レジスタから選択行うもので、演算アレイ36の演算結果をAレジスタ35aもしくはFレジスタ35bからPEN+3、PEN+2、PEN+1、PEN、

PE<sub>n-1</sub>、PE<sub>n-2</sub>、PE<sub>n-3</sub>のレジスタに格納することもできる。

【0068】

例えば命令では以下のように記述する。

ADD R1:L3 ; ADDは加算命令で、PE<sub>n</sub>のAレジスタの値と、PE<sub>n-3</sub>のR1レジスタの値を加算してPE<sub>n</sub>のAレジスタに格納する。

STA #12h, R1:U3 ; STAはストア命令で、PE<sub>n</sub>のAレジスタの値を、PE<sub>n+3</sub>のR1レジスタに格納する。

【0069】

上記のPEシフトをテストする場合、従来であれば、SIMDプロセッサでは全プロセッサエレメントに同じデータしか設定できないため、PE<sub>0</sub>、PE<sub>1</sub>、PE<sub>2</sub>...と1PEずつAレジスタにデータを転送しなければ異なる値を設定することができなかった。PEシフトを行った結果が全プロセッサエレメントで同じ値になればどのPEから転送されてきたが判明できない。この発明であれば、LDPN命令によって異なるデータが一度にAレジスタ35aに設定できる。LDPN命令で一度にすべてのプロセッサエレメント3a...のAレジスタ35aにそれぞれのPE番号の値をセットする。プロセッサエレメントの下位番号から順に、Aレジスタに0、1、2、3...が設定される。PEシフトでレジスタファイル31のいずれかのレジスタにストアする。例えば2下位にシフトし、R1にストアした場合、プロセッサエレメントの下位番号から順に、R0レジスタに2、3、4、5...がストアされる。最後にAレジスタとR0レジスタを比較すれば全てのプロセッサエレメントで(Aレジスタの値) - (R0レジスタの値) = 2となる。PEシフトがうまく行われていないプロセッサエレメントでは2以外の値となる。

【0070】

また、LDPN命令は、n個おきのプロセッサエレメント3a...の演算指定にも使用できる。例えば、5個おき(PE<sub>0</sub>, PE<sub>5</sub>, PE<sub>9</sub>, ...)の選択を行いたい場合には、LDPN命令で全プロセッサエレメント3a...にPE番号を設定する。PE<sub>0</sub>, PE<sub>1</sub>, PE<sub>2</sub>, ...PE<sub>255</sub>のAレジスタ35aの値を順に指定すると、0, 1, 2, 3...255となる。Aレジスタ35aの値を5で除算

し、余りを格納すると（これらの演算はALUによる減算の繰返しで最終にAレジスタに残った値が余りとなる。除算の引き放し法、引き戻し法で可能。）、0, 1, 2, 3, 4, 0, 1, 2, 3, 4, 0, 1, ... 0となり、PE命令でCMP命令（CMP命令はAレジスタ35aとレジスタファイル31のデータを比較し、結果をTレジスタ35cの指定ビットに反映させる。）を使用し、結果をTレジスタ35cに反映させることで、次の演算のプロセッサエレメント3a選択ができる。

## 【0071】

このように、この発明であれば、プロセッサエレメント3aの指定数にかかわらず、LDPN命令で1サイクル、除算で16サイクル、CMP命令で1サイクルで対象とするプロセッサエレメント3aの選択が完了する。

## 【0072】

図2に示すように、グローバルプロセッサ2からプロセッサエレメント3aへのデータ転送にはGAバス211が使われる。GAバス211はグローバルプロセッサ2のG0レジスタに接続されており、G0レジスタのデータを指定されたプロセッサエレメント3aのAレジスタ35aにデータが転送される。また、プロセッサエレメント3aのAレジスタ35aはAGバス212が接続されており、Aレジスタ35aに格納されたデータがAGバス212からG0レジスタに与えられる。

## 【0073】

グローバルプロセッサ2からAレジスタ35aへのデータ転送には、MGAA (Move G0 to A by Area Assignment) 命令、MGAB (Move G0 to A by Bit Assignment) 命令といった命令が使用される。

## 【0074】

MGAA命令はPE $i$ ～PE $j$ までの ( $i \leq j$ 、 $i, j = 0, 1, \dots, 255$ ) プロセッサエレメントのAレジスタ35aにG0レジスタの値を転送する。指定には即値指定とレジスタ指定があり、例えば、次のように記述する。

## 【0075】



(MGAA #12, #23) ; PE12~PE23までのプロセッサエレメントのAレジスタ35aにG0レジスタの値を転送する。

【0076】

(MGAA G2, G3) ; PE(G2)~PE(G3)までのプロセッサエレメントのAレジスタ35aにG0レジスタの値を転送する。G2の値が23でG3の値が45であればPE23~PE45が対象となる。

【0077】

(MGAA G2+, G3) ; PE(G2)~PE(G3)までのプロセッサエレメントのAレジスタ35aにG0レジスタの値を転送する。転送した後、G2の値を1インクリメントする。

【0078】

MGAB命令はn個おきといったプロセッサエレメント3aの選択をする場合に使用される。指定には、MGAA命令と同じように即値指定とレジスタ指定がある。即値はわかりやすいようにビット指定で記述している。

【0079】

MGAB命令の場合は最初のオペランドにプロセッサエレメント3aのビット指定値を、2番目のオペランドにプロセッサエレメント3aのマスク値を記述する。

【0080】

次の式を満たすPE番号が選択される。

(指定したいPEの番号) & (マスク値) = (ビット指定値) & (マスク値)

【0081】

例えば、次のように記述する。

(MGAB #000000000b, #000000001b)

; PE0、PE2、PE4、...PE2\*i (i=0, 1, 2, ...127) のプロセッサエレメントのAレジスタ35aにG0レジスタの値を転送する。

【0082】

(MGAB G2, G3) ; G2をビット指定値、G3をマスク値として前

述の式を満たす番号のプロセッサエレメントのAレジスタ35aにG0レジスタの値を転送する。

【0083】

(MGAB G2+, G3) ; G2をビット指定値、G3をマスク値として前述の式を満たす番号のプロセッサエレメントのAレジスタにG0を転送する。G2は転送後に1インクリメントされる。

【0084】

上記したように、グローバルプロセッサ2のG0レジスタにGAバス211によりすべてのプロセッサエレメント3aのAレジスタ35aを接続することで、MGAA命令、MGAB命令により、任意のプロセッサエレメント3aのAレジスタ35aにG0レジスタの値を転送することができる。

【0085】

上述のMGAA命令、MGAB命令は、図5に示すような各プロセッサエレメント3aに装備されているコンパレータ301、パターンマッチング回路302によって、そのプロセッサエレメント3aが演算対象であるか、否かを判断するためにも用いられる。

【0086】

グローバルプロセッサ2のSCU22からMGAA命令、MGAB命令及び制御信号が出力され、即値は即値バス221、即値バス222に与えられる。即値バス221に与えられた即値はセクタ204に与えられる。セクタ203からはPEMSKデータ、PEHデータがプロセッサエレメント3aに出力される。PEMSKデータはプロセッサエレメント3aのパターンマッチング回路302に、PEHデータはコンパレータ301に与えられる。セクタ204からはPESLデータ、PELデータがプロセッサエレメント3aに出力される。PESLデータはプロセッサエレメント3aのパターンマッチング回路302に、PELデータはコンパレータ301に与えられる。

【0087】

コンパレータ301及びパターンマッチング回路302にはPE番号データが与えられる。

## 【 0 0 8 8 】

各ブロックの条件に適合すれば信号が出力され、グローバルプロセッサ 2 からの制御信号をもとにセクタ 3 0 3 でそれが範囲指定であるか、マスク指定であるか選択し、信号を出力する。

## 【 0 0 8 9 】

コンパレータ 3 0 1、パターンマッチング回路 3 0 2 に入力される P E 番号データは、各プロセッサエレメント 3 a で V C C、G N D につなげることでデータを生成する。例えば、P E 6 のプロセッサエレメントであれば、8 ビットの信号線を上位ビットから G N D、G N D、G N D、G N D、G N D、G N D、V C C、V C C、G N D に接続する。接続は各ビットに取り付けられたスイッチで行う。スイッチの制御信号はグローバルプロセッサ 2 から出力され O N になると P E 番号が入力できる。図 2 に示すように、P E 番号は A L U 3 4 の片側入力にも接続されている。切り離しは同じ様にグローバルプロセッサ 2 からの制御信号によって行われる。

## 【 0 0 9 0 】

上記した M G A A 命令により、各プロセッサエレメント 3 a の保持している P E 番号と、即値オペランドで指定した値の上限値と下限値の比較をコンパレータ 3 0 1 で行い、範囲内にあればそのプロセッサエレメント 3 a の演算を実行する。演算の実行、非実行は A L U 3 4 の結果を A レジスタ 3 5 a が更新しないように制御する（ラッチ信号を更新しない）。従来であればある範囲だけのデータ転送はその範囲内の実行条件フラグを一つずつセットし、実行条件フラグによって転送の有無を決定していたため、転送数だけのサイクルを必要としたが、ある範囲だけのプロセッサエレメントを指定できる M G A A 命令を使用することで、1 サイクルでの処理が可能である。

## 【 0 0 9 1 】

また、グローバルプロセッサ 2 からのプロセッサエレメント 3 a へのデータ転送は、図 5 に示すような各プロセッサエレメント 3 a に装備されたビットマスク指定を行うパターンマッチング回路 3 0 2 により 1 つおき、3 つおき等の N 個おきの P E の指定を行いデータを転送することができる。

## 【 0 0 9 2 】

選択されるパターンは次式を満たす P E 番号が対象となる。

$$(指定したい P E の番号) \& \text{ ― (マスク値) } = (ビット指定値) \& \text{ ― (マスク値)}$$

## 【 0 0 9 3 】

例えば、奇数番号のプロセッサエレメントにデータを転送するためプロセッサエレメントの選択をする場合、つまり P E 1、P E 3、P E 5、P E 7、... のプロセッサエレメントを選択する場合、ビット指定値を 0 0 0 0 0 0 0 1 b、マスク値を 1 1 1 1 1 1 1 0 b にすれば P E 番号の下位 1 ビットが 1 である P E 番号はすべて上式が成り立つため選択されたことになる。

## 【 0 0 9 4 】

また、ビット指定値を 0 0 0 0 1 1 0 0 b (1 0 進で 1 2)、マスク値を 0 0 0 0 1 0 b とした場合、前述の式を満たすプロセッサエレメントは P E 1 2 と P E 1 4 となり、偶数番号のプロセッサエレメント選択に範囲を指定することもできる。

## 【 0 0 9 5 】

図 5 に示すように、グローバルプロセッサ 2 の G 2 レジスタ 2 0 1 と G 3 レジスタ 2 0 2 は全プロセッサエレメント 3 a に対してバス接続されている。S C U 2 2 からの即値データとセクタ 2 0 3、2 0 4 にてセレクトされるため G 2 レジスタ 2 0 1 と G 3 レジスタ 2 0 2 による指定が行える。これによりグローバルプロセッサ命令での演算の結果を G 2、G 3 レジスタ 2 0 1、2 0 2 に格納して、ダイナミックな指定が行える。

## 【 0 0 9 6 】

また、グローバルプロセッサ 2 では A L U 2 3 によって G 2 レジスタ 2 0 1 の値の減算が可能のため、オペランドにインクリメント演算を設けることで、演算後に 1 加算し次の演算範囲の縮小が行える。

## 【 0 0 9 7 】

また、この実施の形態においては、図 2 に示すように、各プロセッサエレメント 3 a には実行条件指定のための条件レジスタ (T レジスタ) 3 5 c が装備され

ている。図4に、この実施の形態におけるプロセッサエレメント3aに設けられたTレジスタ35cの構成を示す。

#### 【0098】

図4に示すように、プロセッサエレメント3aは8ビットのTレジスタ35cを備える、そして、このTレジスタ35cで1ビットずつで制御されるため、1プロセッサエレメント3aで8通りの制御パターンを保持できる。全てのプロセッサエレメント3a…であれば8×256通りのパターンになる。Tレジスタ35cの1ビットはプロセッサエレメント3aごとに演算実行の無効／有効の制御を行い、特定のプロセッサエレメント3aだけを演算対象として選択できる。Tレジスタ35cには、グローバルプロセッサ2からのPE命令で値を変更することが可能である。

#### 【0099】

Tレジスタ35cは、グローバルプロセッサ2からの制御信号と、Tレジスタ35cの特定ビットの値をAND/OR論理演算器351で論理演算した結果を特定ビットに格納する構成となっている。格納はグローバルプロセッサ2からの制御信号によって格納先が決定する。すなわち、図4に示すように、この実施形態においては、Tレジスタ35cの入力データ側には、AND/ORを行う論理演算器351が設けられ、さらにTレジスタ35からの出力がセレクタ352に与えられ、このセレクタ352により、Tレジスタ35cの値をフィードバック及び出力が行われている。

#### 【0100】

Tレジスタ35cの任意のプロセッサエレメント3aの特定ビットをセット・リセットする命令には、SETTA (Set T by Area Assignment) 命令、SETTB (Set T by Bit Assignment) 命令がある。また、Tレジスタ35cにデータを転送する命令は、LDT (Load to T register) がある。LDT命令は、オペランドに即値もしくはレジスタ値で、グローバルプロセッサ2は信号線210を介してそれらの値の下位8ビットを全プロセッサエレメント3aのTレジスタ35cに転送する。

## 【0101】

SETTA命令はオペランドで指定された範囲に該当するプロセッサエレメント3aに対して演算対象とし、対象となるプロセッサエレメント3aのTレジスタ35cの特定ビットに対してセット・リセットを行うものである。指定の方法は前述のMGAAと同じで、指定された範囲内のTレジスタ35cの特定ビットの値を”1”にセットする。範囲外のプロセッサエレメント3aのTレジスタ35cには”0”がセットされる。さらに、SETTA命令は、前命令までのTレジスタ35cの値との演算が指定できる。例えば、以下のように記述する。

## 【0102】

SETTA/T2/A #12, #23

## 【0103】

上記の命令では、命令につづいて、Tレジスタ35cの特定ビットの指定（/T2で下位から2ビット目を示す。）と、続いて演算の種類（/AでAND演算を行う。/O指定であればOR演算を行う。）の指定が記述されている。演算が指定されているため、PE12～PE23までのプロセッサエレメント3aのT2ビットの値と”1”のAND結果をT2に格納する。

## 【0104】

SETTB命令は前述のMGAB命令と同じオペランドのビット指定とマスク指定によってプロセッサエレメント3aの選択を行う。また、前述のSETTA命令で行った/A、/OによるTレジスタの特定ビットの旧値との論理演算も同じようにできる。

## 【0105】

上記したように、Tレジスタ35cからの出力はセレクタ352により選択され、前のTレジスタ35cの値をフィードバックさせ、新しいデータを論理演算器351にて論理演算させることで、Tレジスタ35cのセット、リセットだけでなく、AND/OR演算ができるように構成されている。これによって、例えば、複数のまたがった不規則なエリアの指定を行うとき有効となる。

## 【0106】

例えば、PE10～PE15、PE26～PE40、PE100～PE111

といったエリアを指定する場合、前述のLDT命令、SETTA命令などで全プロセッサエレメントの特定フラグとクリアしておき、SETTAのOR演算（／Oを記述）を3回行うことで可能である。記述は以下のとおりである。

## 【0107】

(LDT #0) ;すべてのプロセッサエレメントのTレジスタのすべてのBITに"0"を転送する。

## 【0108】

SETTA／T1／O #10, #15

SETTA／T1／O #26, #40

SETTA／T1／O #100, #111

## 【0109】

上記した図3に示した実施の形態においては、一度のアドレス指定により、SIMDプロセッサ1の偶数番号が割り付けられたプロセッサエレメント3aに外部メモリ6からデータ転送できるとともに、奇数番号が割り付けられたプロセッサエレメント3aにもデータ転送できるように構成しているが、SIMD型プロセッサ1へ外部からデータを入出力する方法は、この方法に限られるものではない。たとえば、図6に示すように、SIMDプロセッサ1のプロセッサエレメント3aに、奇数、偶数の区別を付けずに、アドレス指定により順次データを転送するように構成したものにおいても、この発明は適用できる。すなわち、図6に示すように、レジスタコントローラ31aは、インタフェース4と、アドレスバス41a、リード／ライト信号45c、クロック信号41cを介して接続されている。このレジスタコントローラ31aは、インタフェース4に与えられ、アドレスバス41aを介してアドレス指定信号が送られてくると、そのアドレス指定信号をデコードする。そして、デコードしたアドレスと、自己のプロセッサエレメント3aに割り付けられたアドレスとが一致する場合には、インタフェース4に与えられ、クロック信号41cからのクロック信号に同期して、リード／ライト信号41bを介してリード／ライト指示信号を得る。このリード／ライト指示信号は、レジスタ31bへ与えられる。

## 【0110】

SIMD型プロセッサ1の外部に設けられたイメージスキャナからの画像データを、この実施形態では8ビットの平行データとして、データバス46cに置く。このデータバス46cは、レジスタ31bに保持されている演算処理されたデータが、SIMD型プロセッサ1の外部に設けられたプリンタ等にも送る時にも使用される。

#### 【0111】

インタフェース4から与えられるアドレス、リード/ライト、クロック、データの信号はレジスタファイル31の各レジスタに供給される。そして、各プロセッサエレメント3a…ごとにアドレスをデコードして各プロセッサエレメント3a…を示すアドレスと一致したプロセッサエレメント3aだけがリード/ライトの動作をおこなう。

#### 【0112】

このように構成されるSIMD型プロセッサ1は、外部からのデータをプロセッサエレメント3aに送る場合、プロセッサエレメント3aに割り付けられたアドレスを指定することにより、1回のクロック信号が入力されるだけで、その指定したプロセッサエレメント3aにデータが送られる。なお、この例では、偶数、奇数のプロセッサエレメント3aに同時にデータは送られないので、第1の実施形態に比べると、データ転送に時間はかかるが、回路構成は簡略化できる。

#### 【0113】

上述した実施形態においては、プロセッサエレメント3aをアドレス指定しているが、プロセッサエレメント3aの指定をアドレス指定する方式ではなく、ポインタ指定する方式、即ちシリアルアクセスメモリ方式においても、この発明は適用できる。この例につき図7に従い説明する。なお、ここでは上述した第1の実施形態と異なる点について説明することとし、同じ点については説明を省略する。また、上述した第1実施形態と同じ構成部分については、同一の符号を付する。

#### 【0114】

まず、グローバルプロセッサ2からインタフェース4へはI/O用のアドレス、データ、コントロール信号がバスを介して与えられる。インタフェース4は、



グローバルプロセッサ2のコマンドに基づき、このリセット信号を生成し、リセット信号47を介してプロセッサエレメントブロック3へ送る。これにより、レジスタコントローラ31aは、リセットされる。そして、インタフェース4に最も近いレジスタコントローラ31aへクロック信号41cを介してクロック信号が送られる。このクロック信号に同期して、レジスタコントローラ31a'は、リード/ライト信号45a或いは45bを介してインタフェース4から送られてきたリード/ライト指示信号を得る。このリード/ライト指示信号は、偶数番号が割り付けられたプロセッサエレメント3aのレジスタ31b、及び奇数番号が割り付けられたプロセッサエレメント3aのレジスタ31bにそれぞれ与えられる。このとき一組を構成するプロセッサエレメント3aのレジスタコントローラ31a'へ送られるリード/ライト指示信号は、上記第1実施形態の場合と同様それぞれ異なるものであってもよい。

#### 【0115】

これにより、上述した第1実施形態の場合と同様、一度のポインタ指定により、偶数番号が割り付けられたプロセッサエレメント3aにデータ転送できるとともに、奇数番号が割り付けられたプロセッサエレメント3aにもデータ転送できる。

#### 【0116】

また、上記したポインタ指定する方式において、一度のポインタ指定により1つの番号が割り付けられたプロセッサエレメント3aにデータ転送する方式においても、この発明は適用できる。

#### 【0117】

#### 【発明の効果】

上記した請求項1によれば、図2に示すように、グローバルプロセッサからの制御信号によってPE番号をAレジスタに入力できる。各プロセッサエレメントに格納されたPE番号は、プロセッサエレメントのテストをするときに用いる。たとえばPEシフトをテストする場合など有効になる。従来であれば同じ値をAレジスタにセットしプロセッサエレメントの全Aレジスタの値を外部に出力する手段を設けるか、全プロセッサエレメントのAレジスタに違った値をひとつずつ

転送し、それら順番にグローバルプロセッサに転送し、グローバルプロセッサで比較するなどする。前者であれば配線量が莫大となりコストが増大する。後者であれば命令サイクルが値をセットするだけで256サイクル必要となる（プロセッサエレメントが256個の場合）。この請求項1の発明であればLDPNの命令で一度に全プロセッサエレメントのAレジスタに値をセットし、シフトしたのち、レジスタファイルに結果値を格納し、判定用にLDPNでセットした値をすべてシフト量にしたがって加減算し期待値を設定し、前述の結果値と期待値を比較することによってテストが可能となる。値をセットするためには1サイクルのみでよい。

## 【0118】

また、LDPNはn個おきのプロセッサエレメントの演算指定にも使用できる。たとえば5個おき（PE0, PE5, PE9, . . .）の選択を行いたい場合、従来であればそれぞれのプロセッサエレメント毎に条件フラグの設定を行うために選択したいプロセッサエレメントの数だけの処理を必要とした。この発明では、LDPNで全プロセッサエレメントにPE番号を設定し（PE0, PE1, PE2, . . . , PE255のAレジスタの値を順に指定すると0, 1, 2, 3, . . . , 255となる）、Aレジスタの値を5で除算し、余りを格納すると（これらの演算はALUによる減算の繰り返しで最終にAレジスタに残った値が余りとなる。除算の引き放し法、引き戻し法で可能。）、0, 1, 2, 3, 4, 0, 1, 2, 3, 4, 0, 1, . . . , 0となり、PE命令でCMP命令（CMP命令はAレジスタとレジスタファイルのデータを比較し結果をTレジスタの指定ビットに反映させる。）を使用し、結果をTレジスタに反映させることで次の演算のプロセッサエレメント選択ができる。従来方法であればプロセッサエレメントの指定数分のサイクルが必要であったが、この発明であればプロセッサエレメントの指定数にかかわらず、LDPNで1サイクル、除算で16サイクル、CMP命令で1サイクルで対象とするプロセッサエレメントの選択が完了する。

## 【0119】

上記した請求項2によれば、図2に示すように、グローバルプロセッサのG0からバスですべてのプロセッサエレメントのAレジスタに接続し、MGAA、M

G A B 命令を設けることで任意のプロセッサエレメントの A レジスタに G 0 レジスタの値を転送することができる。

## 【 0 1 2 0 】

請求項 3 によれば、M G A A 命令を設け、図 5 に示すようなコンパレータを各プロセッサエレメントに設け、各プロセッサエレメントの保持している P E 番号と、即値オペランドで指定した値の上限値と下限値の比較をコンパレータで行い、範囲内にあればそのプロセッサエレメントの演算を実行する。演算の実行、非実行は A L U の結果を A レジスタが更新しないように制御する（ラッチ信号を更新しない）。従来であれば、ある範囲だけのデータ転送はその範囲内の実行条件フラグを一つずつセットし、実行条件フラグによって転送の有無を決定していたため、転送数だけのサイクルを必要としたが、以上によりある範囲だけのプロセッサエレメントを指定できる M G A A を使用することで、1 サイクルでの処理が可能である。

## 【 0 1 2 1 】

請求項 4 によれば、図 5 に示すのような各プロセッサエレメントに装備されたビットマスク指定を行うマスクパターン回路により 1 つおき、3 つおき等の N 個おきの P E 指定を行いデータを転送することができる。

## 【 0 1 2 2 】

請求項 5 及び 6 によれば、図 5 に示すようにグローバルプロセッサの G 2 レジスタと G 3 レジスタは全プロセッサエレメントに対してバス接続されており、S C U からの即値データとセレクトされるため G 2 レジスタと G 3 レジスタによる指定が可能となる。これによりグローバルプロセッサ命令での演算の結果を G 2 、G 3 レジスタに格納し、ダイナミックな指定が可能となる。

また、グローバルプロセッサでは A L U によって G 2 の減算が可能のため、オペランドにインクリメント演算を設けることで、演算後に 1 加算し次の演算範囲の縮小が可能となる。

## 【 0 1 2 3 】

請求項 7 ないし 1 1 によれば、図 4 のように T レジスタの入力データに A N D 、O R を行う論理演算器を設け、前の T レジスタの値をフィードバックさせ、新

しいデータを論理演算させることでTレジスタのセット、リセットだけでなく、AND、ORを行うことができる。これによってたとえば複数のまたがった不規則なエリアの指定を行うとき有効となる。PE10～PE15、PE26～PE40、PE100～PE111といったエリアを指定する場合、前述のLDT命令、SETTA命令などで全プロセッサエレメントの特定フラグとクリアしておき、SETTAのOR演算（／Oを記述）を3回行うことで可能である。従来であれば、対象のプロセッサエレメントに一つずつセットしなければならず、セットするプロセッサエレメント分の命令サイクルが必要となる。

記述は以下のとおりである。

【0124】

LDT #0 ;すべてのプロセッサエレメントのTレジスタのすべてのBITに”0”を転送する。

SETTA／T1／O #10, #15

SETTA／T1／O #26, #40

SETTA／T1／O #100, #111

【図面の簡単な説明】

【図1】

この発明の実施の形態にかかるSIMD型プロセッサの全体構成を示すブロック図である。

【図2】

この発明の実施の形態にかかるSIMD型プロセッサの要部構成を示すブロック図である。

【図3】

この発明の実施の形態にかかるプロセッサの内部構成を示すブロック図である。

【図4】

この発明の実施の形態にかかるプロセッサエレメントにおけるTレジスタの構成を示すブロック図である。

【図5】

この発明の実施の形態にかかる S I M D 型プロセッサの要部構成を示すブロック図である。

【図 6】

この発明の他の実施の形態にかかるプロセッサの内部構成を示すブロック図である。

【図 7】

この発明のさらに異なる実施の形態にかかる S I M D 型プロセッサの内部構成を示すブロック図である。

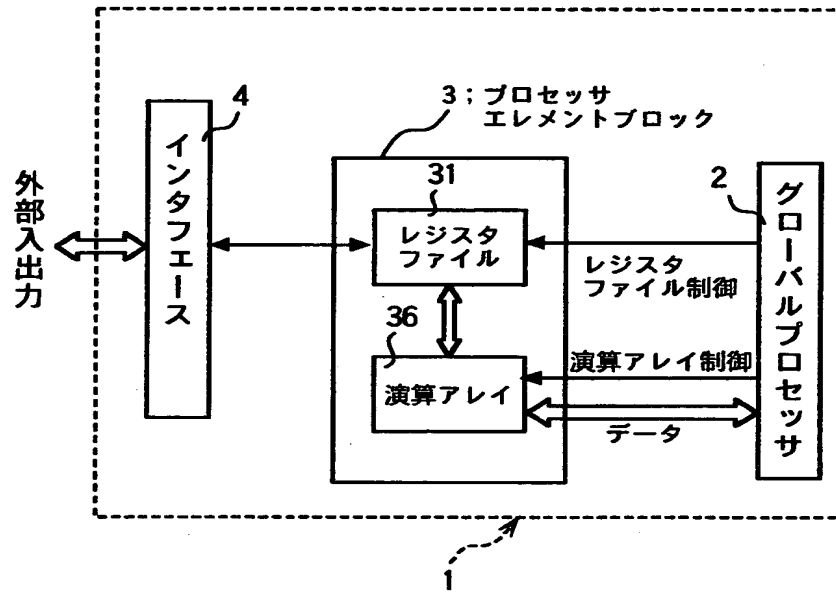
【符号の説明】

- 1     S I M D 型プロセッサ
- 2     グローバルプロセッサ
- 3     プロセッサエレメントブロック
- 3 a   プロセッサエレメント
- 3 1   レジスタファイル
- 3 2   演算アレイ

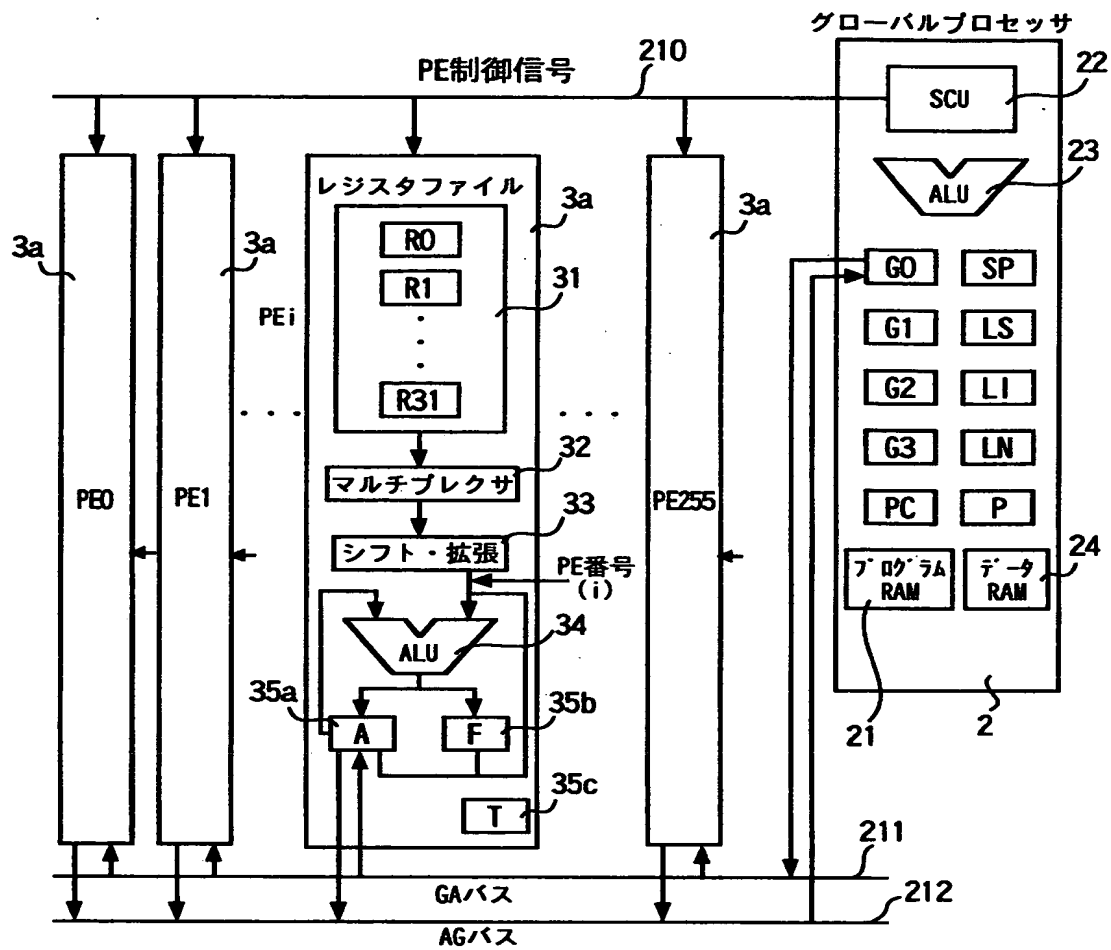
【書類名】

図面

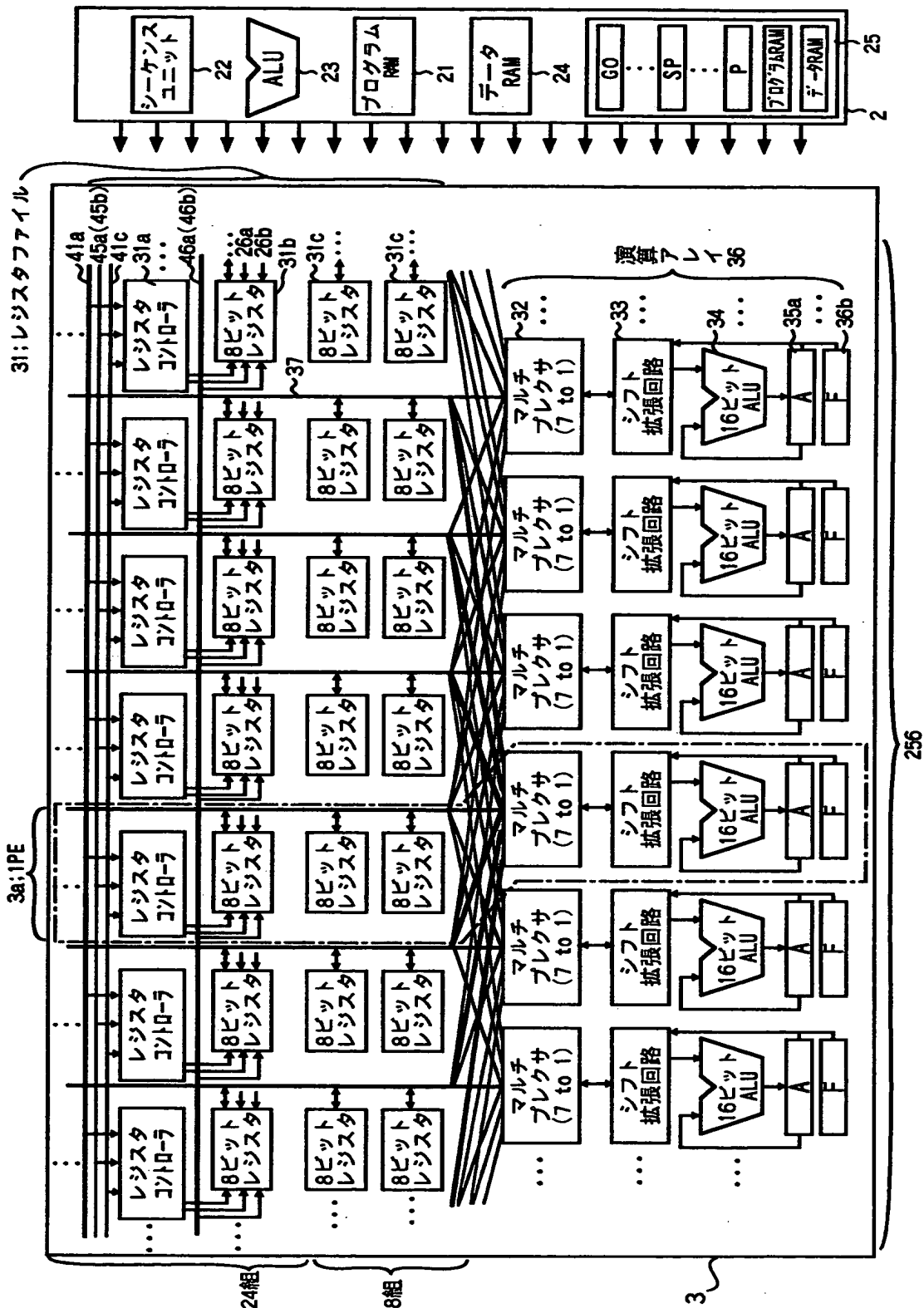
【図 1】



【図2】

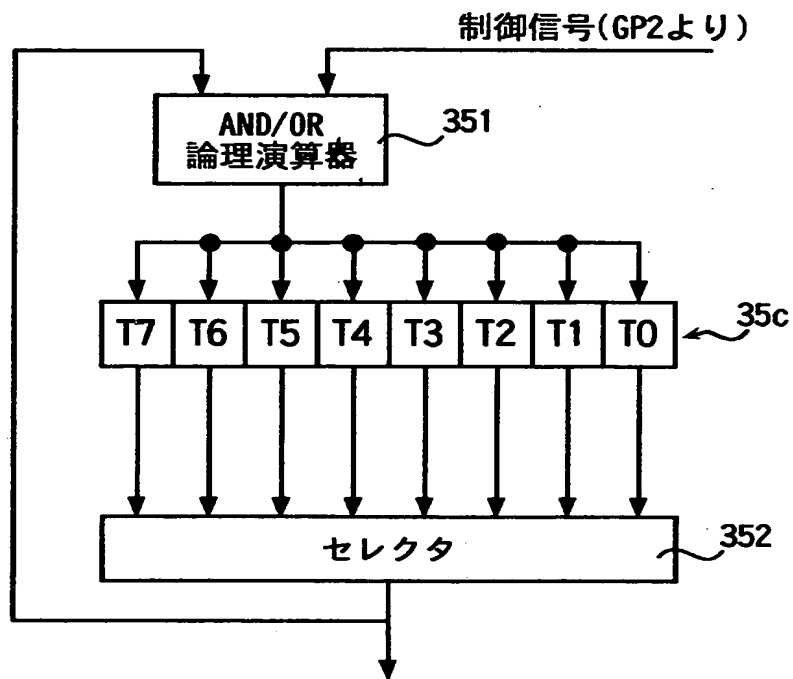


【図3】

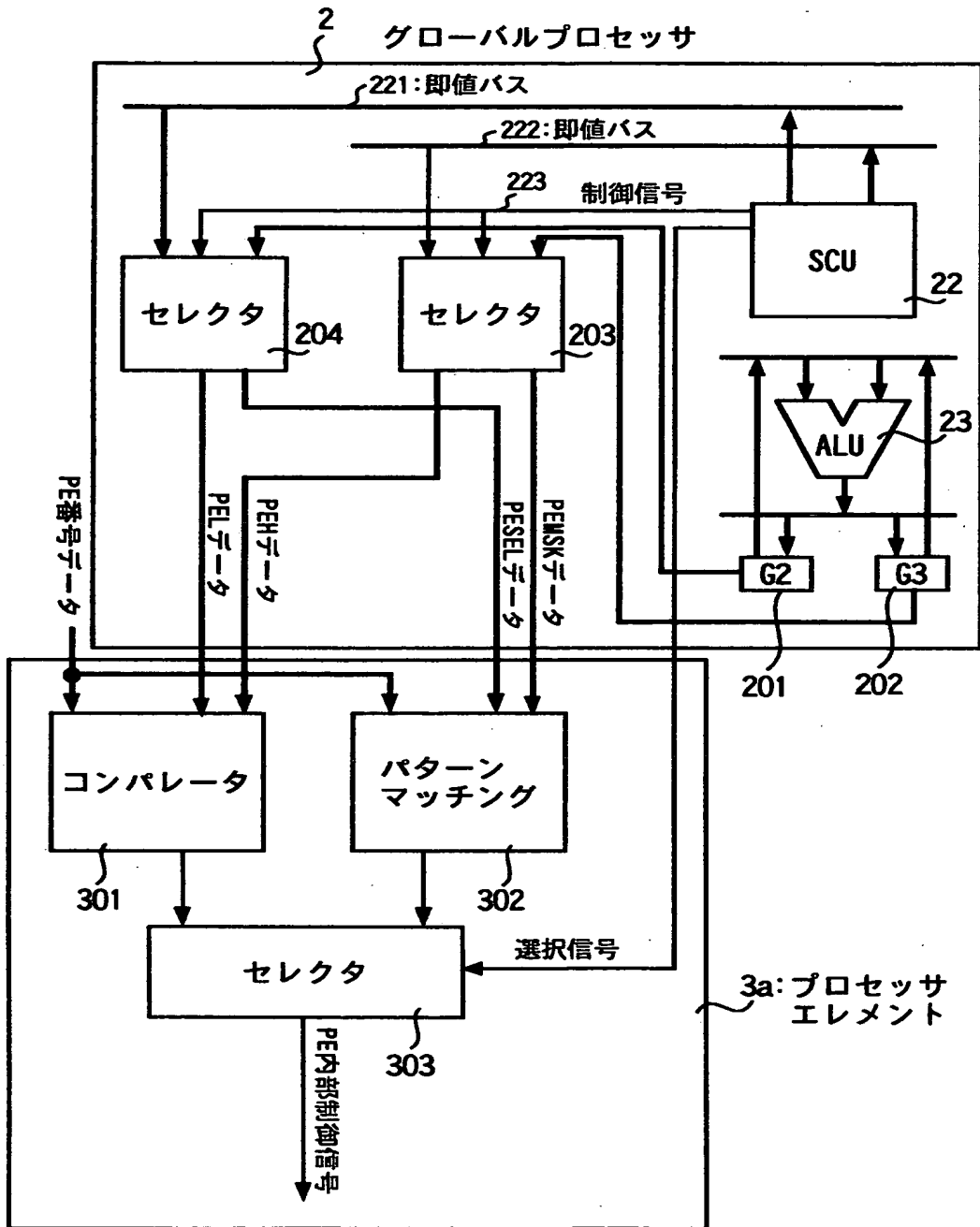




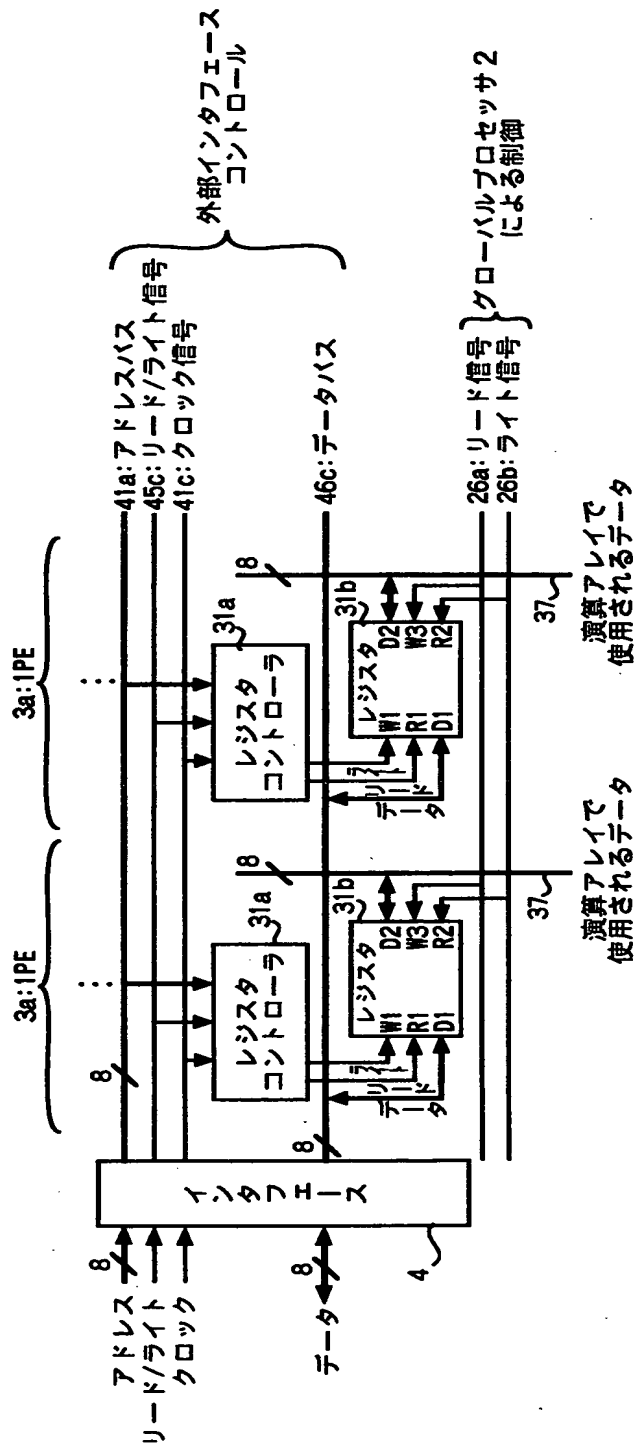
【図 4】



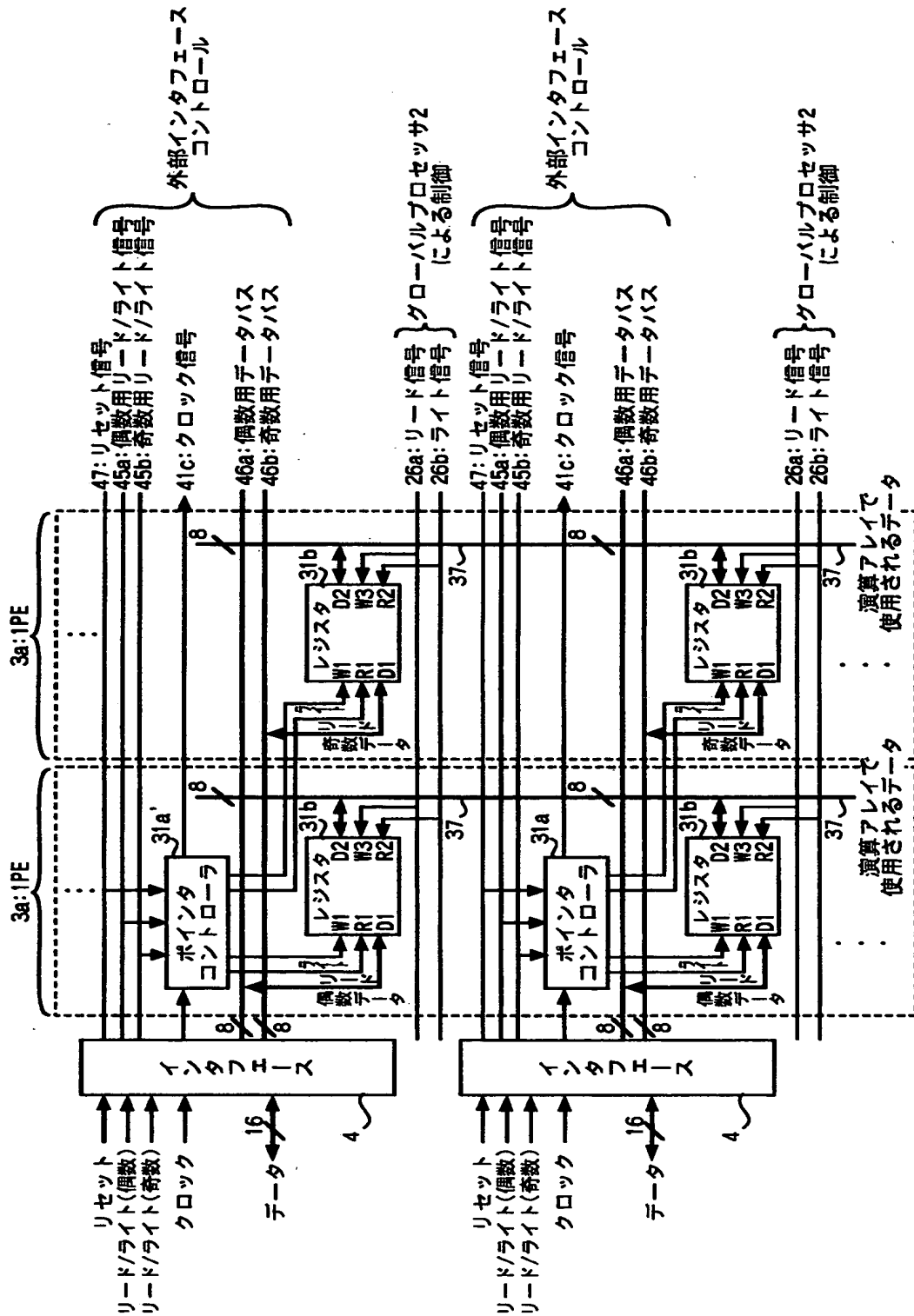
【図5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 この発明は、画像データ処理に伴う命令の命令実行サイクルを減らすことを目的とする。

【解決手段】 この発明は、プログラムを解読しプロセッサ全体を制御するグローバルプロセッサ 2 と、複数データを処理するための複数のプロセッサエレメント 3 a を備えたプロセッサエレメントブロック 3 と、を有する SIMD 型プロセッサにおいて、グローバルプロセッサ 2 は、対応する P E 番号を複数のプロセッサエレメント 3 a に転送し、グローバルプロセッサ 2 の G 0 レジスタからのデータを任意のプロセッサエレメント 3 a の A レジスタ 3 5 a に転送する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー